

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP402140676A

PAT-NO: JP402140676A

DOCUMENT-IDENTIFIER: JP 02140676 A

TITLE: MULTILEVEL DRIVING CIRCUIT

PUBN-DATE: May 30, 1990

INVENTOR-INFORMATION:

NAME

OKAYASU, TOSHIYUKI

ASSIGNEE-INFORMATION:

NAME

ADVANTEST CORP

COUNTRY

N/A

APPL-NO: JP63295530

APPL-DATE: November 21, 1988

INT-CL (IPC): G01R031/28

US-CL-CURRENT: 324/76.11

ABSTRACT:

PURPOSE: To reduce a current consumption by making the constitution to take out the voltages of each voltage source to the output terminal by the ON/OFF action of switching circuits.

CONSTITUTION: The voltages  $V_{1-3}$  of the voltage sources 10-12 are outputted to the output terminal 6 selectively by the switching circuits 13-15 and waveforms with each level are produced. The switches 13-15 are usually controlled to the OFF condition by clamping circuits 16 and 24. The circuit 16 is made to operate so that potentials on each point B, F, J of the respective circuits 13-15 are clamped to the voltage lower than any of the voltages  $V_{1-3}$  of the voltage sources 10-12. The potentials on each point C, G, K of the respective circuits 13-15 are clamped by the circuit 24 to the voltage  $V_5$  higher than any of the voltages  $V_{1-3}$  of the voltage sources 10-12. Then the voltages  $V_{1-3}$  with the values corresponding to the inputs of rectangular waves  $VP_{1-3}$  supplying to input terminals 51, 52, 53 are selected and outputted to the output

terminal 6,  
thereby the multilevel signal with the optional waveforms is  
produced.

COPYRIGHT: (C)1990, JPO&Japio

## ⑯ 公開特許公報 (A) 平2-140676

⑤Int.CI.  
G 01 R 31/28識別記号  
厅内整理番号④公開 平成2年(1990)5月30日  
6912-2G G 01 R 31/28 Q

審査請求 未請求 請求項の数 1 (全6頁)

## ⑤発明の名称 多値駆動回路

②特 願 昭63-295530

②出 願 昭63(1988)11月21日

⑦発明者 岡 安 俊 幸 東京都練馬区旭町1丁目32番1号 株式会社アンパンテス  
ト内⑦出願人 株式会社アドバンテス  
ト 東京都練馬区旭町1丁目32番1号

⑦代理入 弁理士 草 野 卓

## 明細書

## 1. 発明の名称

多値駆動回路

## 2. 特許請求の範囲

(1) A. 互に異なる電圧を出力する複数の電圧源  
と、B. この複数の電圧源のそれぞれの電圧を選  
択的に出力端子に取り出す複数のスイッチ  
回路と、C. この複数のスイッチ回路を選択的にオン  
・オフ操作し、出力端子に上記複数の電圧  
源の電圧を取出す複数のスイッチ制御回路  
と、

によって構成した多値駆動回路。

## 3. 発明の詳細な説明

## 「産業上の利用分野」

この発明は例えばIC試験装置に利用すること  
ができる多値駆動回路に関する。

## 「従来の技術」

ICの中にはH論理とL論理の他に例えば第4

図に示すように第3の電圧 $V_{111}$ を印加しなければ  
ならない種類のものがある。このような3種の波形を被試験ICに与えるた  
めに従来は第5図に示すような多値駆動回路が用  
いられている。この従来から用いられている多値駆動回路は差  
動的にオン・オフ動作するように接続された二対  
のトランジスタ $Q_{11}, Q_{12}$ 及び $Q_{21}, Q_{22}$ と、一  
つの抵抗器Rと、トランジスタ $Q_{31}, Q_{32}$ 及び  
 $Q_{41}, Q_{42}$ を流れる電流を $I_{11}$ と $I_{21}$ の値に制限  
する定電流回路1及び2と、トランジスタ $Q_{51}$ と  
 $Q_{61}$ のベースに一定のバイアス電圧 $V_{111}$ を与える  
バイアス電圧源3とによって構成される。トランジスタ $Q_{11}$ と $Q_{21}$ のベースには入力端子  
4と5から制御信号 $V_{111}$ と $V_{112}$ を与える。制御信号 $V_{111}, V_{112}$ とバイアス電圧 $V_{111}$ と  
の関係が $V_{111} > V_{112}, V_{112} > V_{111}$ のときはト  
ランジスタ $Q_{11}$ と $Q_{21}$ は共にオフとなり、抵抗器  
Rには電流が流れないので出力端子6には電源の  
電圧 $V_{111}$ が输出される。

制御信号  $V_{101}, V_{102}$  とバイアス電圧  $V_b$  との関係が  $V_{101} < V_b, V_{102} > V_b$  のときはトランジスタ  $Q_1$  がオン、トランジスタ  $Q_2$  がオフとなる。このときは抵抗器  $R$  には定電流回路 1 の電流  $I_1$  が流れ、抵抗器  $R$  には  $R I_1$  の電圧降下が生じる。よってこのときの出力端子 6 の電圧は  $V_b - R I_1$  となる。

制御信号  $V_{101}, V_{102}$  とバイアス電圧  $V_b$  との関係が  $V_{101} > V_b, V_{102} < V_b$  である場合はトランジスタ  $Q_1$  がオフ、トランジスタ  $Q_2$  がオンとなる。このときは抵抗器  $R$  には定電流回路 2 の電流  $I_2$  が流れ、抵抗器  $R$  には  $R I_2$  の電圧降下が生じる。よってこのとき出力端子 6 の電圧は  $V_b - V_{101} - R I_2$  となる。定電流  $I_1, I_2$  が  $I_1 < I_2$  の関係に設定されているとすると、制御信号  $V_{101}$  と  $V_{102}$  の論理によって第 6 図に示すように 3 値を持つ多値信号が output され、この多値信号が例えば被試験 IC 等に与えられる。

「発明が解決しようとする課題」

第 5 図に示した従来の多値駆動回路は抵抗器  $R$

の電圧降下を利用して波形を生成するから消費電流が大きく効率が悪い。

また大きい振幅を得るために抵抗器  $R$  の抵抗値を大きくすると出力端子 6 と共通電位との間に形成される浮遊容量と、この抵抗器  $R$  によって形成される時定数が大きくなり、多値波形の立ち上がり時間が遅くなってしまう欠点がある。

この発明の目的はこれらの欠点を一掃することができる多値駆動回路を提供するにある。

この発明では予め設定された多値の値を持つ複数の直流電圧源を用意し、この複数の電圧源の電圧をスイッチ回路で選択的に出力端子に取出す構造としたものである。

このようにこの発明によれば予め決められた互に異なる電圧を出力する直流電圧源を複数用意し、この複数の電圧源の電圧をスイッチ回路で選択的に取出して多値波形を生成するものである。この結果抵抗器で電圧降下を発生させて多値信号を得る方法と比較して効率がよい。

然も発生している電圧をスイッチで取出す構造

のため波形の立ち上がり及び立下りが時定数等で遅れることがない。よって立ち上がり及び立下りが急峻に変化する多値波形を得ることができる。

「実施例」

第 1 図にこの発明の一実施例を示す。第 1 図において、11, 12, 13 は予め設定された直流電圧  $V_{10}, V_{11}, V_{12}$  を出力する電圧源を示す。この例では 3 値の多値波形を発生させるために 3 つの電圧源を設けた場合を示す。

この電圧源 10, 11, 12 の電圧  $V_{10}, V_{11}, V_{12}$  はスイッチ回路 13, 14, 15 によって選択的に出力端子 6 に出力させ多値波形を生成する。この例ではダイオードブリッジ回路によってスイッチ回路を構成した場合を示す。

これらスイッチ回路 13, 14, 15 は平常はクランプ回路 16 と 24 によってオフに制御される。クランプ回路 16 は各スイッチ回路 13, 14, 15 の各点 B, F, J の電位を電圧源 10, 11, 12 の電圧  $V_{10}, V_{11}, V_{12}$  のどれよりも低い電圧にクランプする動作を行なう。このため

に電圧源 13, 14, 15 の電圧  $V_{10}, V_{11}, V_{12}$  より低い電圧  $V_b$  ( $V_b < V_{10}, V_{11}, V_{12}$ ) を発生する電圧源 17 と、この電圧源 17 と各スイッチ回路 13, 14, 15 を各別に接続する絶縁用ダイオード 18, 19, 20 と、この絶縁ダイオード 18, 19, 20 を通じて電流  $I$  を引き込む定電流回路 21, 22, 23 によって構成される。

従って上側のスイッチ制御回路 41 を構成するトランジスタがオンに制御されない状態では各スイッチ回路 13, 14, 15 の各点 B, F, J は電圧源 17 の電圧  $V_b$  にクランプされる。

一方スイッチ回路 13, 14, 15 の下側の点 C, G, K はクランプ回路 24 によって電圧源 10, 11, 12 の電圧  $V_{10}, V_{11}, V_{12}$  のどの電圧よりも大きい電圧  $V_b$  にクランプされる。つまり電圧  $V_b$  は  $V_b > V_{10}, V_{11}, V_{12}$  の関係に設定され、定電流回路 26, 27, 28 から絶縁ダイオード 29, 30, 31 を通じて電流を吸込むことによって C, G, K の各点の電位を電圧

$V_1$  にクランプする。

このようにクランプ回路 16 と 24 のクランプ電圧  $V_1$  と  $V_2$  を  $V_1 < V_2$  に設定したことによってダイオードブリッジによって構成したスイッチ回路 13, 14, 15 はオフの状態に制御される。

ここで上側のスイッチ制御回路 41 と下側のスイッチ制御回路 42 を構成するトランジスタ 41A 及び 42A がオンに制御されたとすると、トランジスタ 41A からは定電流回路 43 から 21 の電流がスイッチ回路 13 に流し込まれる。

また下側のトランジスタ 42A は定電流回路 44 により 21 の電流を吸引する。

この結果上側のトランジスタ 41A から流し込まれた電流の半分 1/2 は定電流回路 21 に流れ込み、残る半分の電流 1/2 はスイッチ回路 13 を通って下側のトランジスタ 42A に流れ込む。下側のトランジスタ 42A には更に定電流回路 26 から 1 の電流が流れ込み、合せて 21 の電流が流れる。

このように定電流回路 21 と 26 の電流はクラ

ンプ用電圧源 17 と 25 に流れ込むことなく、トランジスタ 41A と 42A を交換する状態に切替わり、スイッチ回路 13 には電圧  $V_1$  が流れれる。よってこのときスイッチ回路 13 を構成するダイオードは全てオンの状態となり電圧源 10 の電圧が出力端子 6 に取出される。

このようにして上側のスイッチ制御回路 41 と、下側のスイッチ制御回路 42 のトランジスタ 41A と 42A 及び 41B と 42B, 41C と 42C の何れか一つの組がオンに制御されることによってスイッチ回路 13, 14, 15 の何れか一つがオンに制御され、このときスイッチ回路 13, 14, 15 に接続した電圧源 13, 14, 15 の電圧  $V_1, V_2, V_3$  の何れかが出力端子 6 に選択されて出力される。この出力された電圧は必要に応じてバッファ増幅器 45 を通じて例えば被試験 IC (特に図示しない) に与えられる。

50A, 50B, 50C はそれぞれスイッチ制御回路 41 と 42 の各トランジスタ 41A ~ 41C 及び 42A ~ 42C を制御する駆動回路を示す。

50A はスイッチ制御回路 41, 42 のトランジスタ 41A と 42A をオン、オフ駆動する駆動回路、50B はスイッチ制御回路 41, 42 のトランジスタ 41B と 42B をオン、オフ駆動する駆動回路、50C はスイッチ制御回路 41, 42 のトランジスタ 41C と 42C をオン、オフ駆動する駆動回路をそれぞれ示す。

これら各駆動回路 50A, 50B, 50C はそれぞれ差動接続された二対のトランジスタ A, B, C, D によって構成される。トランジスタ A, B は NPN 型トランジスタが用いられ、トランジスタ C, D は PNP 型トランジスタが用いられる。

これら差動接続された二対のトランジスタ A, B 及び C, D はトランジスタ A, C と B, D のベースを共通接続し、トランジスタ A, C の共通接続したベースをそれぞれ入力端子 51, 52, 53 に接続する。

またトランジスタ B, D のベースは全て共通接続し、この共通接続点にバイアス電圧  $V_{BB}$  を与える。

このように構成することによって入力端子 51, 52, 53 にバイアス電圧  $V_{BB}$  を越えると共に正バルスを与えることによってトランジスタ A と D がオンの状態に反転し、スイッチ制御回路 41, 42 のトランジスタをオンの状態に駆動することができる。

この様子を第2図に示す。入力端子 51 に矩形波  $V_{P1}$  が与えられた区間 (第2図A) ではスイッチ制御回路 41 と 42 のトランジスタ 41A, 42A がオンの状態となり電圧源 10 の電圧  $V_1$  を出力端子 6 に出力する。

入力端子 52 に矩形波  $V_{P2}$  が与えられた区間 (第2図B) ではスイッチ制御回路 41 と 42 のトランジスタ 41B, 42B がオンの状態となり第2図Dに示すように電圧源 11 の電圧  $V_2$  を出力端子 6 に出力する。

入力端子 53 に矩形波  $V_{P3}$  が与えられた区間 (第2図C) ではスイッチ制御回路 41 と 42 のトランジスタ 41C, 42C がオンとなり第2図Dに示すように電圧源 12 の電圧  $V_3$  を出力端子

6に出力する。

このようにして入力端子 51, 52, 53 に与える矩形波  $V_{P1}$ ,  $V_{P2}$ ,  $V_{P3}$  の入力に対応した値を持つ電圧  $V_{10}$  ~  $V_{12}$  が選択されて出力端子 6 に出力され、任意の波形を持つ多値電圧信号を生成することができる。

第3図はこの発明の変形実施例を示す。この例では第1図で説明したクランプ電圧源 17 と 25 を省略し、これに代えて各電圧源 10, 11, 12 の電圧をダイオード  $D_{1a}$ ,  $D_{1b}$ ,  $D_{1c}$  を通じてクランプ回路 16 と 24 を構成するダイオード 18, 19, 20 と 29, 30, 31 に与え、電圧源 10, 11, 12 の中の最高電圧  $V_{12}$  と最低電圧  $V_{10}$  を選択して自動的にクランプ電圧として利用するように構成した場合を示す。図は駆動回路を省略して示している。

尚第1図の実施例では3値信号を出力する場合について説明したが、3値に限らず更に多くの値を持つ多値信号を生成するように構成することができる。

#### 「発明の効果」

以上説明したようにこの発明によれば各電圧源 10, 11, 12 の電圧  $V_{10}$ ,  $V_{11}$ ,  $V_{12}$  をスイッチ回路 13, 14, 15 のオン、オフ動作によって出力端子 6 に取出す構成とし、抵抗器の電圧降下によって多値電圧を生成する構造でないため電流消費量を少なくすることができる。

また抵抗器の電圧降下を利用して多値信号を生成するから出力端子 6 に浮遊容量が存在しても、時定数回路が形成されない。

この結果立上り及び立下りの速度が速い多値信号を得ることができる。

また電圧源から各別に電圧を出力するから一つの電圧源の電圧設定変更が他に影響を与えることがない。よって単独で電圧の設定を行なうことができる。更に電圧間の遷移状態における動的特性に影響を与えない。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示す接続図、第2図はその動作を説明するための波形図、第3図

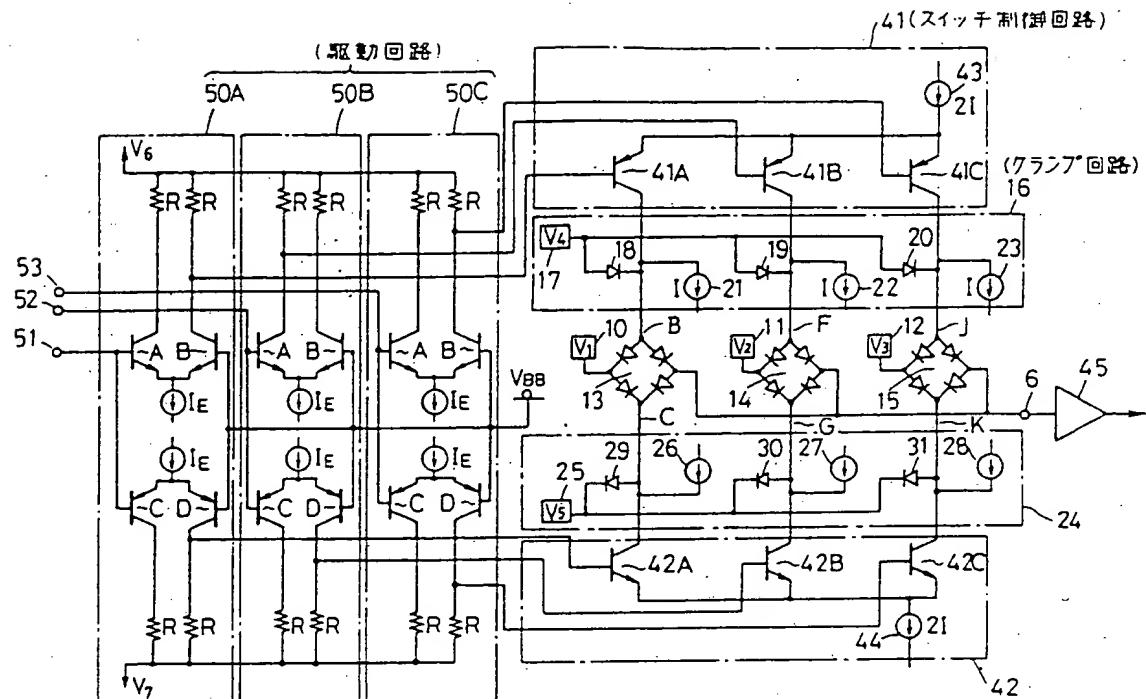
はこの発明の変形実施例を示す接続図、第4図は従来の技術を説明するための接続図、第5図は第4図の動作を説明するための波形図である。

6: 出力端子、10, 11, 12: 電圧源、  
13, 14, 15: スイッチ回路、16, 24:  
クランプ回路、41, 42: スイッチ制御回路、  
50A, 50B, 50C: 駆動回路、51, 52,  
53: 入力端子。

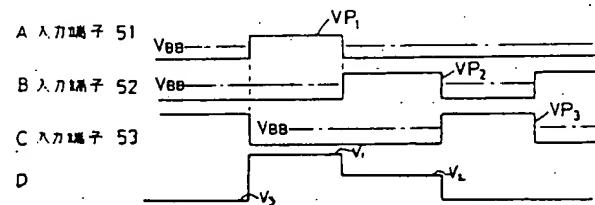
特許出願人 株式会社アドバンテスト

代理人 草野 卓

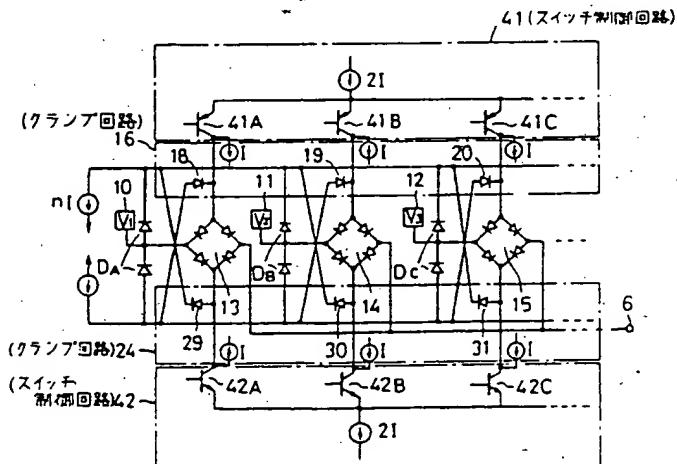
六 1



方 2 図



第 3 页



## 手続補正書(方式)

平成1年3月22日

特許庁長官 殿

1. 事件の表示 特願昭63-295530

2. 発明の名称 多値駆動回路

3. 補正をする者 事件との関係 特許出願人

株式会社 アドバンテスト

4. 代理人 東京都新宿区新宿四丁目2番21号

相模ビル(☎ 03-350-6456)

6615 弁理士 草野

5. 補正の対象 図面の簡単な説明の欄

## 6. 補正の内容

(1) 明細書13頁1行~3行「接続図、……波形図である。」を下記のとおり訂正する。

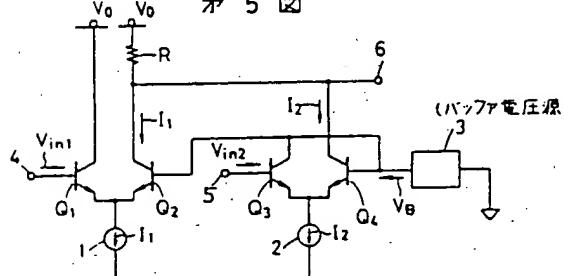
「接続図、第4図は第3図の動作を説明するための波形図、第5図は従来の技術を説明するための接続図、第6図は第5図の動作を説明するための波形図である。」

以上  
式(公)

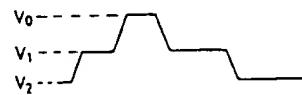
カ4図



カ5図



カ6図



## 手続補正書

(自発)

平成1年5月19日

特許庁長官 殿

1. 事件の表示 特願昭63-295530

2. 発明の名称 多値駆動回路

3. 補正をする者 事件との関係 特許出願人  
株式会社 アドバンテスト4. 代理人 東京都新宿区新宿四丁目2番21号  
相模ビル(☎ 03-350-6456)

6615 弁理士 草野

5. 補正の対象 明細書中発明の詳細な説明の欄

## 6. 補正の内容

(1) 明細書11頁13~14行「最高電圧V<sub>H</sub>と最低電圧V<sub>L</sub>を選択して」を「最高電圧H(第4図)と最低電圧L(第4図)を選択して」と訂正する。

(2) 同書同頁18~19行「多くの値を持つ多値信号」を「多くの多値信号」と訂正する。

特許庁  
1.5.26